

(Translation)

Citation 5

Japanese Patent Laid-Open Publication No. 162032/1989

Laid-Open Date: June 26, 1989

Application No. 320658/1987 dated December 18, 1987

Applicant: NEC Corporation

Title: PSEUDO ERROR GENERATOR

Relevant parts:

[Embodiment]

Next, an embodiment of the present invention will be described with reference to the drawings.

Referring to the drawing showing one embodiment of the present invention, a data terminal device 1 is an on-line communication device. A data terminating device 2 is an interfacier with respect to an on-line communication line 4. The data terminal device 1 and the data terminating device 2 are coupled by a digital interface, to which an interface system such as V11, V24, V28, V35 or the like indicated by CCITT recommendation as a common example corresponds. Between the data terminal device 1 and the data terminating device 2, a pseudo error generator 3 is provided.

How modified reception data (pseudo error data) 38 is made by addition of an error to reception data 31 and a reception clock signal 32 in the pseudo error generator 3 is explained as an example. The reception clock signal 32 is a binary digital signal to be outputted from the data terminating device 2 in association with the reception data 31, and is constantly counted by a counter 33 every one bit. A register 34 stores in advance a constant of the desired frequency of generating a line error. A comparison circuit 35 compares output values from the counter 33 and the register 34, and outputs a data inversion instruction signal 36 when the output value from the counter 33 coincides with the output value from the register 34. The data inversion instruction signal 36 for one bit is outputted when an error for one bit of the reception data 31 is outputted, and the data inversion instruction signals 36 for a plurality of bits are outputted when errors for a plurality of bits of the reception data 31 are outputted. An inversion circuit 37 is constituted of an exclusive-OR circuit, and logically inverts the reception data 31 only when the data inversion instruction signal 36 is inputted, to thereby generate the error data 38. The data terminal device 1 receives the data 38

having the generated error, like normal reception data. Note that the constant to be stored in the register 34 can be manually set or remotely set by a program control, prior to the start of test.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-162032

(43)Date of publication of application : 26.06.1989

(51)Int.Cl.

H04L 11/12

(21)Application number : 62-320658

(71)Applicant : NEC CORP

(22)Date of filing : 18.12.1987

(72)Inventor : NISHIO MOTOJIRO

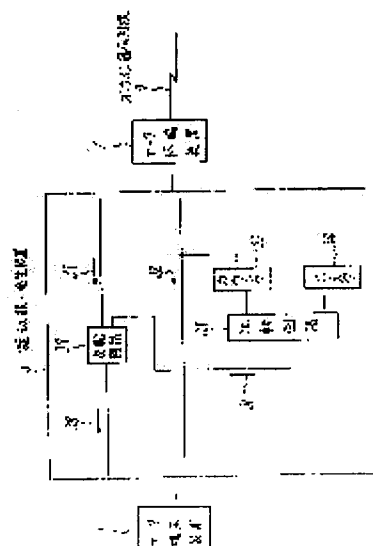
(54) PSEUDO-ERROR GENERATING DEVICE

(57)Abstract:

PURPOSE: To automatically generate a logical line error and to improve testing accuracy by providing a first means to count the clock signal of on-line data to a digital on-line communicating line and a means to logic-invert the on-line data when the counting value of the first means goes to be a prescribed value.

CONSTITUTION: A reception clock signal 32 is a binary digital signal to be outputted from a data termination device 2 with being corresponded to reception data 31 and the signal 32 is counted per bit by a counter 33 all the time. A register 34 stores the constant of a frequency, with which the line error is desired to be

generated, in advance. When the output values of the counter 33 and the register 34 are collated by a comparator 35 and the output value of the counter 33 and the output value of the register 34 are coincident, a data inversion instructing signal 36 is outputted. This data inversion instructing signal 36 is outputted for one bit when the error for one bit part of the receiving data 31 is generated and outputted for the plural bits when the error for the part of the plural bits is generated. Only when the data inversion instructing signal 36 is inputted, an inverting circuit 37 logic-inverts the receiving data 31 and error data 38 are generated.



⑫ 公開特許公報(A)

平1-162032

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月26日

H 04 L 11/12

7830-5K

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 擬似誤り発生装置

⑯ 特 願 昭62-320658

⑰ 出 願 昭62(1987)12月18日

⑱ 発 明 者 西 尾 元 二 郎 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

擬似誤り発生装置

2. 特許請求の範囲

デジタルオンライン通信回線に対するオンラインデータのクロック信号を計数する第1の手段と、この第1の手段の計数値が所定値になったとき前記オンラインデータを論理反転する第2の手段とを備え、前記オンラインデータの誤りを擬似発生することを特徴とする擬似誤り発生装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタルオンライン通信回線を伝送するオンラインデータに擬似的な誤りを発生させ、オンライン通信機器に通信回線のじょう乱等の回線誤りに対して定められた異常処理を実行させる擬似誤り発生装置に関する。

〔従来の技術〕

従来、オンライン通信機器の通信回線じょう乱等の回線誤りに対する異常処理試験に於いては、試験実施者がデジタルオンライン通信回線の切断及び接続操作を繰返し、あたかも通信回線障害が生じたかの如く仮定して試験を実施している。

〔発明が解決しようとする問題点〕

このような従来の異常処理試験手法では、人手による感覚的な通信回線障害を発生させているため、発生の頻度及び誤りの内容について論理的でなく、この結果試験そのものの意味が薄れることを免れない。

〔問題点を解決するための手段〕

本発明の擬似誤り発生装置は、デジタルオンライン通信回線に対するオンラインデータのクロック信号を計数する第1の手段と、この第1の手段の計数値が所定値になったとき前記オンラインデータを論理反転する第2の手段とを備え、前記オンラインデータの誤りを擬似発生する。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

本発明の一実施例を示す図を参照すると、データ端末装置1はオンライン通信機器である。データ終端装置2はオンライン通信回線4とのインタフェースである。データ端末装置1とデータ終端装置2とはデジタルインタフェースで結ばれており、一般例としてCCITT勧告で示されるV11、V24、V28、V35等のインタフェース形式が該当する。データ端末装置1とデータ終端装置2との間には擬似誤り発生装置3が設けられている。

この擬似誤り発生装置3において、一例として受信データ31及び受信クロック信号32について修飾受信データ(擬似誤りデータ)38がどのように誤りを付加されるかを説明する。受信クロック信号32は受信データ31に対応付けされてデータ終端装置2から出力される2値デジタル信号であり、カウンタ33により常に1ビット毎に計数されている。レジスタ34は回線誤りを発生させたい頻度の定数を予め記憶している。カウン

タ33及びレジスタ34の出力値を比較回路35が照合しており、カウンタ33の出力値とレジスタ34の出力値とが一致したとき、データ反転指示信号36を出力する。このデータ反転指示信号36は受信データ31の1ビット分の誤りを発生させるときには1ビット分、かつ複数ビット分の誤りを発生させるときは複数ビット分出力される。反転回路37は排他的論理和回路で構成され、データ反転指示信号36が入力されたときのみ受信データ31を論理反転して誤りデータ38を発生する。データ端末装置1ではあたかも通常の受信データの如く誤りが発生したデータ38を受信する。なお、レジスタ34に記憶させる定数は試験開始に先立って人手で設定するか、プログラム制御により遠隔設定することができる。

上記実施例では、データ終端装置2からデータ端末装置1への受信データ31を取込む場合について説明したが、逆に送信データについて行なう場合であっても同様に実施できる。

〔発明の効果〕

以上説明したように本発明によれば、人手による無論理の誤りを発生させるのではなく、論理的な回線誤りを自動発生させることにより、通信回線誤りを的確に擬似できる。この結果、試験精度の向上を図れる。

4. 図面の簡単な説明

図は本発明の一実施例を示す構成図である。

1……データ端末装置、2……データ終端装置、3……擬似誤り発生装置、4……オンライン通信回線、31……受信データ、32……受信クロック信号、33……カウンタ、34……レジスタ、35……比較回路、36……データ反転指示信号、37……反転回路、38……修飾受信データ(擬似誤りデータ)。

代理人 弁理士 内 原 晋

